

ミクスト・シグナルSoC内ADCの 線形性テスト信号生成アルゴリズム

上森聡史 山口隆弘 伊藤聡志

丹陽平 小林春夫 高井伸和

群馬大学大学院 電気電子工学専攻

OUTLINE

- 研究背景
- 線形性テスト
- 提案テスト信号生成方法
- 実現方法
- まとめ

OUTLINE

- 研究背景
- 線形性テスト
- 提案テスト信号生成方法
- 実現方法
- まとめ

研究背景

LSIの製造出荷

良否判定が重要



テスト

アナログテストは難しい

要求事項

高い不良検出率

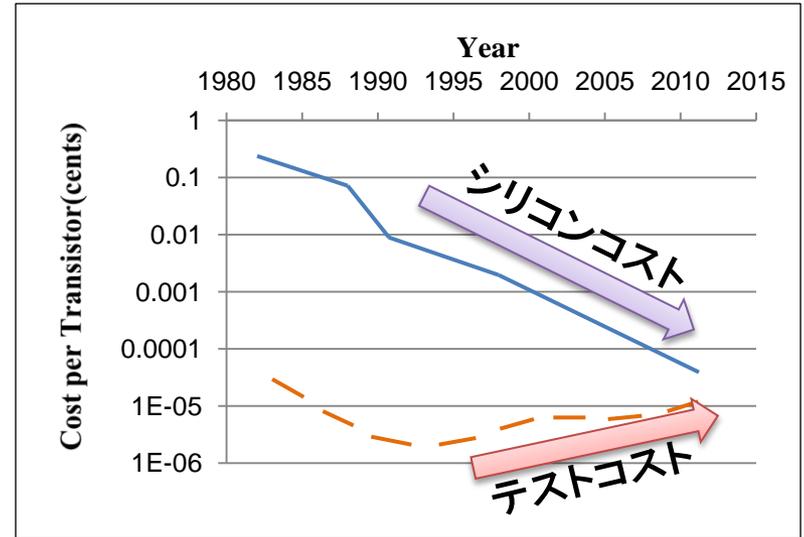


低テストコスト

テスト時間 ∝ テストコスト

{ いかによりテストコストを下げるか
いかにより精度を良くするか

が重要



目的

■ SoC内ADCの線形性テスト

→ 重要な試験(時間かかる)

- 短時間テストで線形性テストの精度を高める



ADCテスト入力信号発生技術を開発

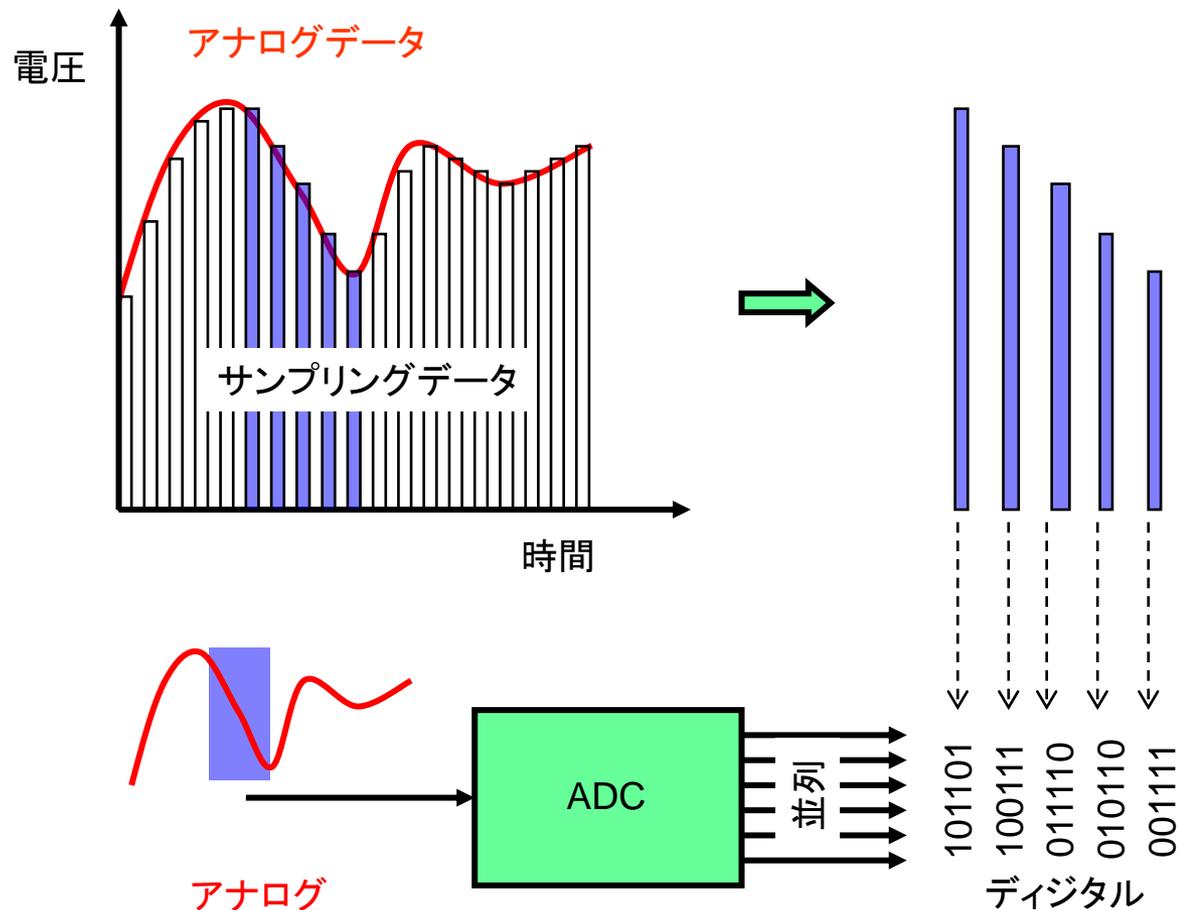
OUTLINE

- 研究背景
- **線形性テスト**
- 提案テスト信号生成方法
- 実現方法
- まとめ

A/D変換器

アナログ信号の値をデジタル値に変換する
クロックに同期して動作する

ADCの分解能: アナログ入力電圧範囲を 2^n 等分に分割

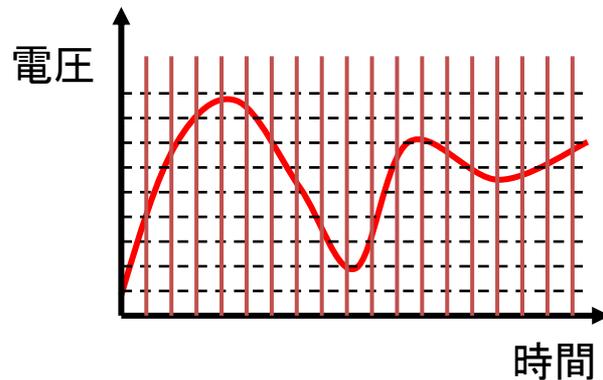


東京工業大学
松澤昭先生
資料より

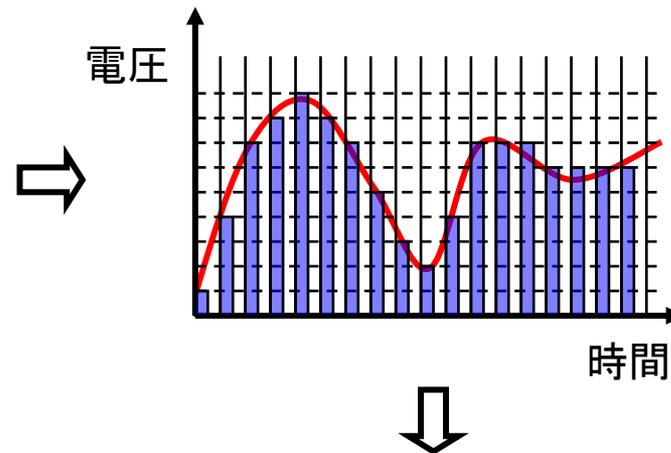
ADC中での動作

- ・標本化: 決まったタイミングで信号を抜き取る(時間精度)
- ・量子化: 決まった精度で値を表す(電圧精度)

標本化(Sampling)



量子化(Quantizing)

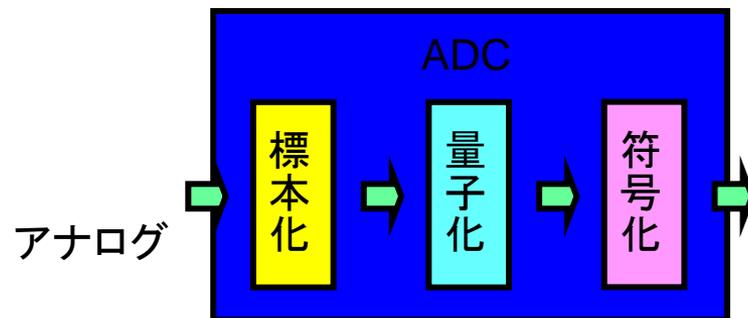


符号化(Coding)

```

1001001001110011110000
00011000100101010011111000
00010001001001000011111000
  
```

デジタル

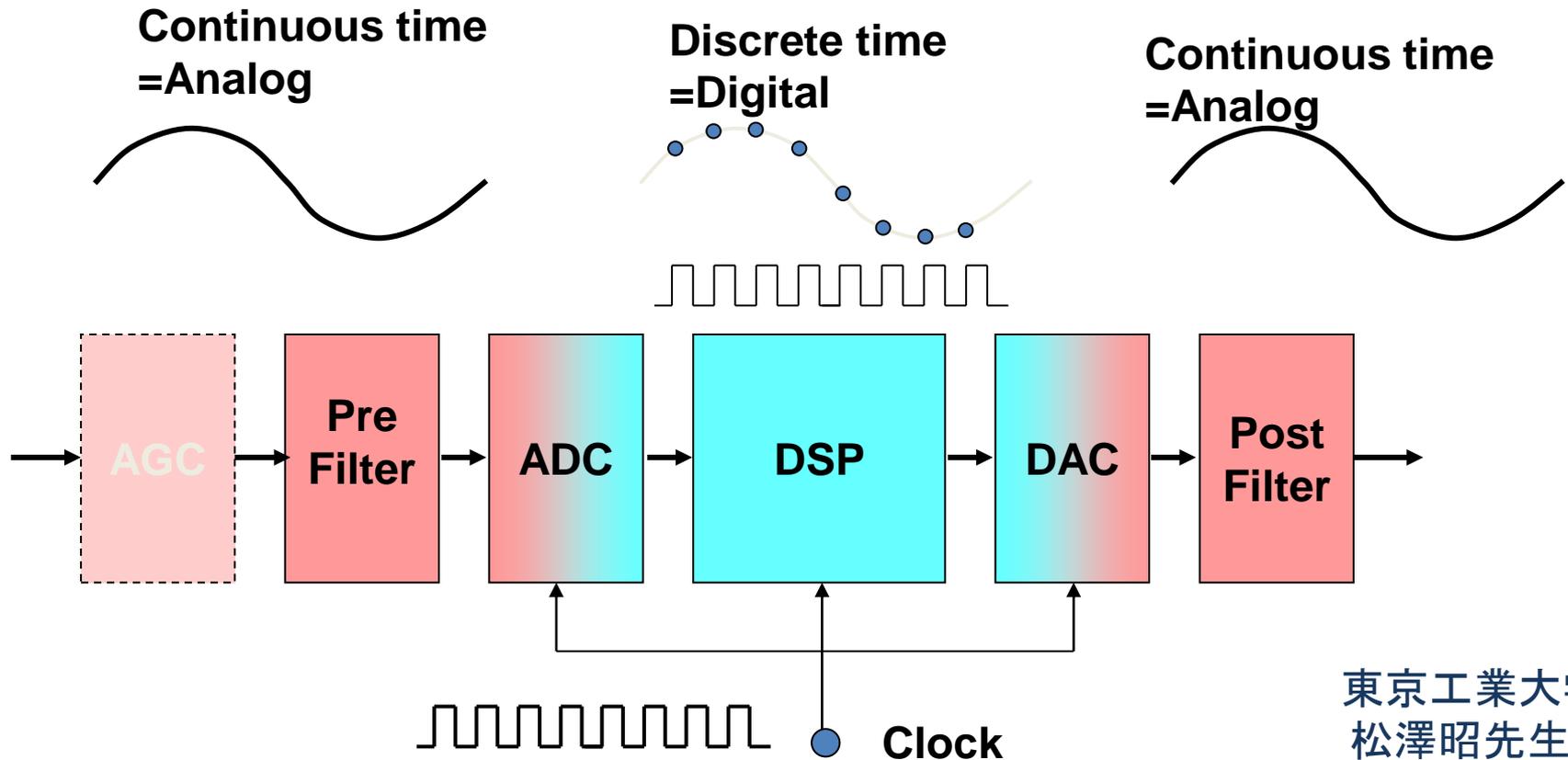


東京工業大学
松澤昭先生
資料より

アナ・デジ混載システムの基本構成

アナログ・デジタル混載システム

中心のデジタル信号処理回路、その入力に
ADC、出力にDAC、外側のプレ・ポストフィルタ



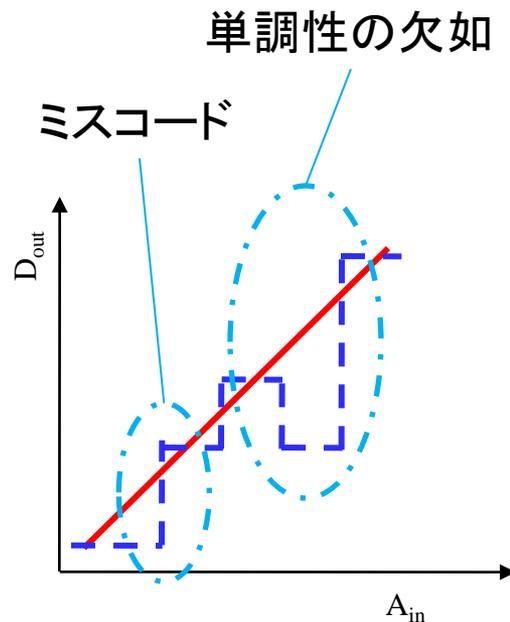
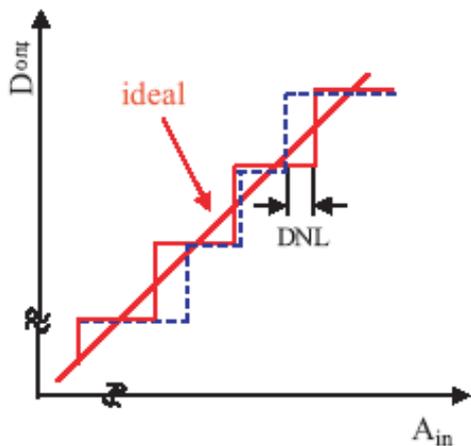
東京工業大学
松澤昭先生
資料より

DNL(微分非直線性誤差)

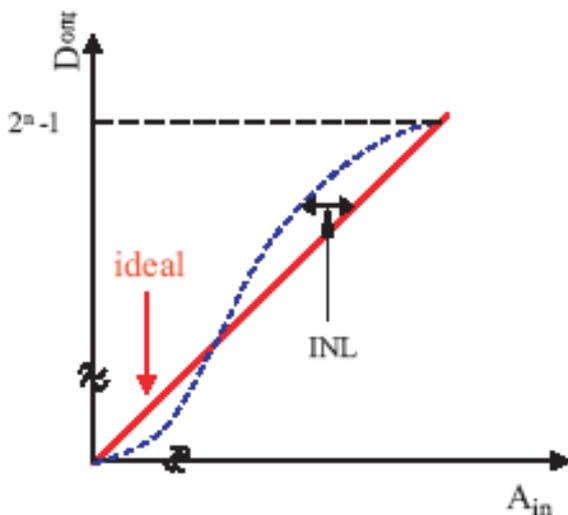
各ステップでの理想の遷移点と実際の遷移点とのずれ

DNLが大きい場合

{ ミスコードが生じる
単調性の欠如



INL(積分非直線性誤差)



あるコードでの理想変換直線からのずれ
それ以前のコードのずれ+今のコードのずれ

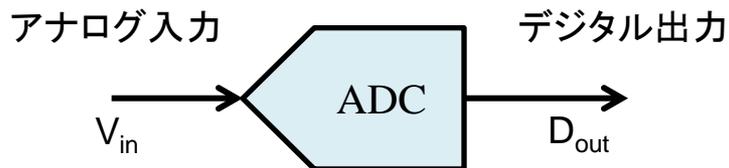


DNLを積分したもの

DNL, INL

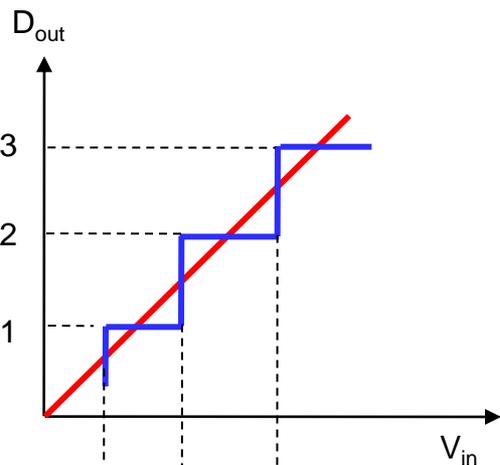
マイコン内ADC等では重要な性能試験

ヒストグラムからのDNL測定



ヒストグラム

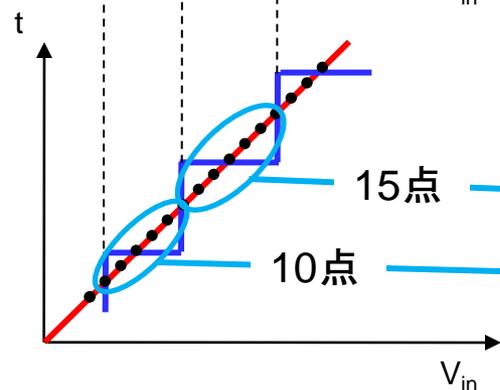
それぞれのコードで何点サンプルされたか



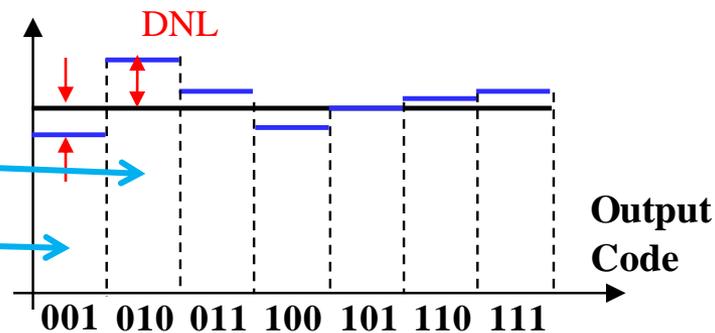
それぞれのbinに入ったサンプルの数



DNLを測定するのと同じ

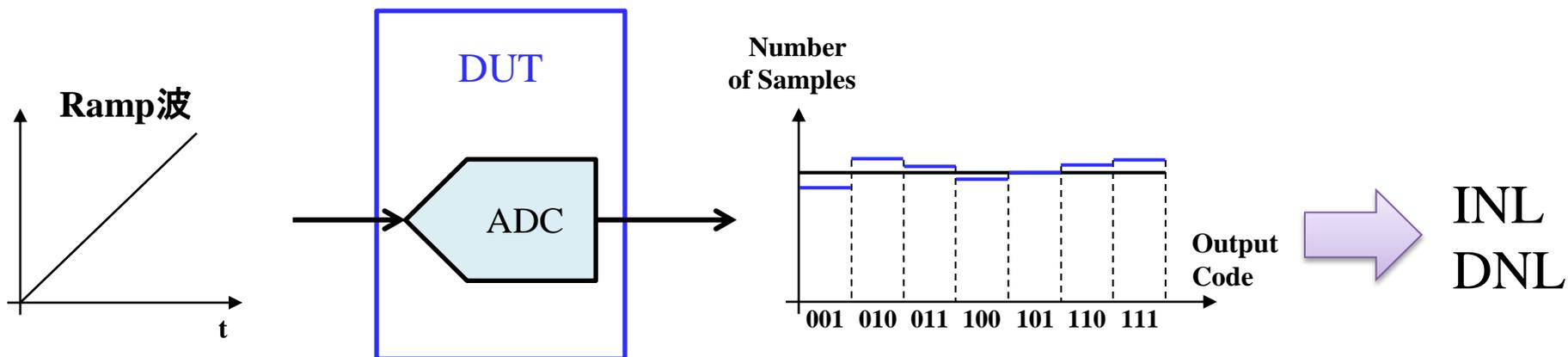


Number of Samples



線形性テスト

■ ヒストグラム法(ランプ波入力)

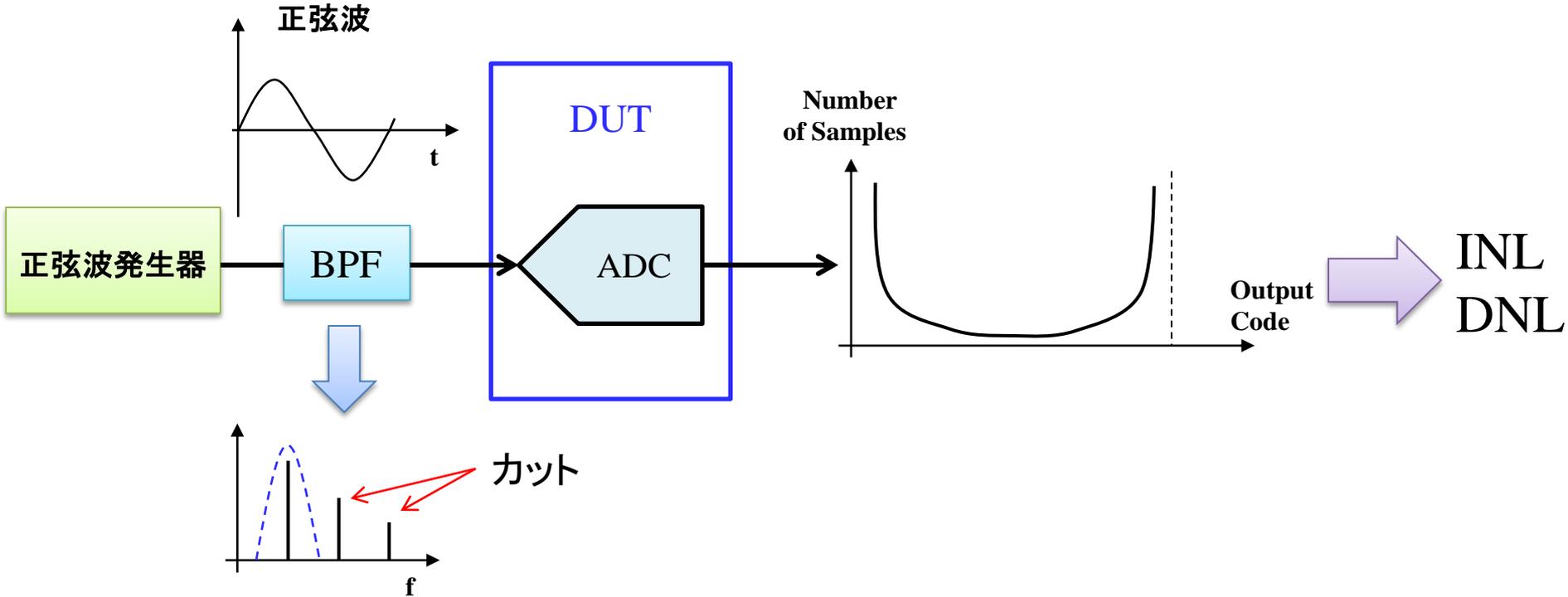


高線形性のランプ波発生は難しい(せいぜい12ビット程度まで)

ランプ波入力での頻度 \longrightarrow 入力レンジで均一

線形性テスト

■ ヒストグラム法(正弦波入力)



アナログフィルタにより高調波を除去

高純度のものが得やすい(14ビット以上)

正弦波入力での頻度 → 中心付近では少ない

OUTLINE

- 研究背景
- 線形性テスト
- **提案テスト信号生成方法**
- 実現方法
- まとめ

SoC内ADC線形性テスト

SoC内ADCへの入力信号

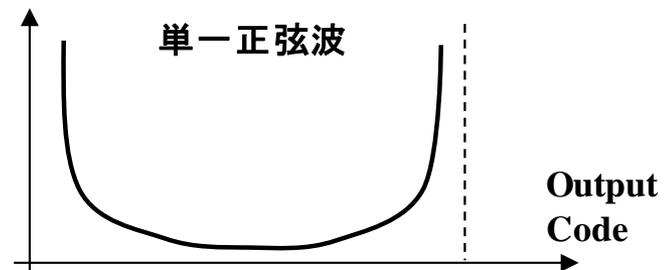


入力フルレンジではなく中心付近を主に使う

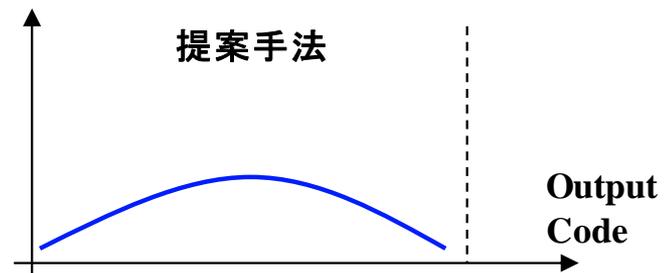


中心を高精度に観る

Number
of Samples

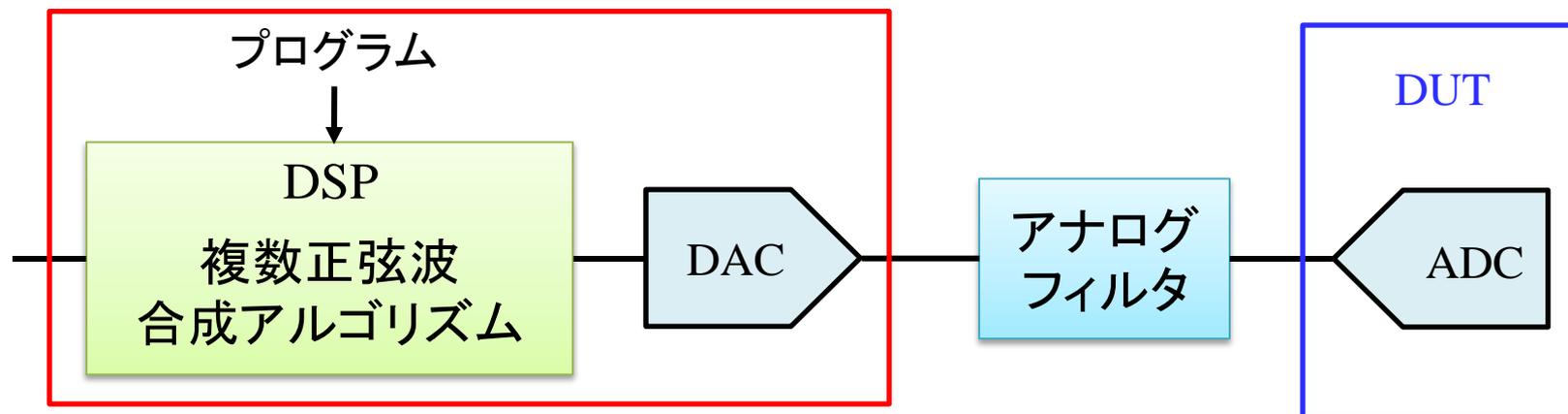


Number
of Samples



AWGによるテスト信号生成

任意波形発生器 (AWG: Arbitrary Waveform Generator)



正弦波合成

➡ アナログフィルタと併用して高精度化

➡ 複数正弦波からテスト信号生成

ADC出力コードの中心付近の頻度増加

AWGによるテスト信号生成

■ 被試験ADCが12ビット程度

- ・AWGが18ビット相当以上のリニアリティを持つ

 AWGで必要な波形を生成すれば良い

 しかし

- ・AWGに期待できるリニアリティ：12ビット相当

 動特性込みのリニアリティ測定には
LPFによる信号の高精度化で解決

複数正弦波とする利点

提案テスト信号発生方法

複数正弦波から三角波を近似

$$V_{in} = \frac{4}{\pi} \sum_{n=1}^{\infty} V_n$$

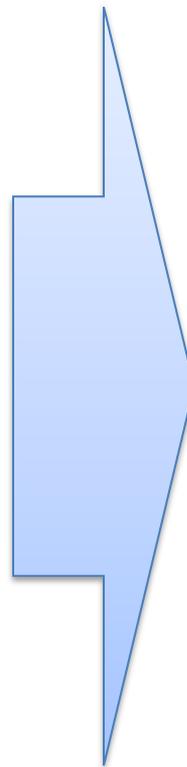
$$V_n = \frac{\cos(2\pi \cdot (2n-1) \cdot f \cdot t)}{(2n-1)^2}$$



各項の振幅、足し合わせる項の選択



出力コードの中心付近を頻度増加

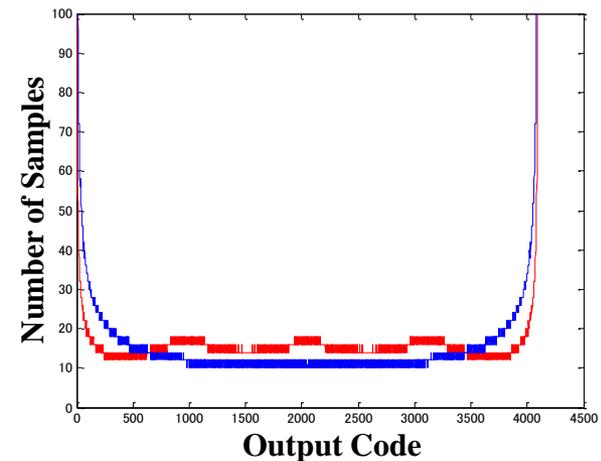
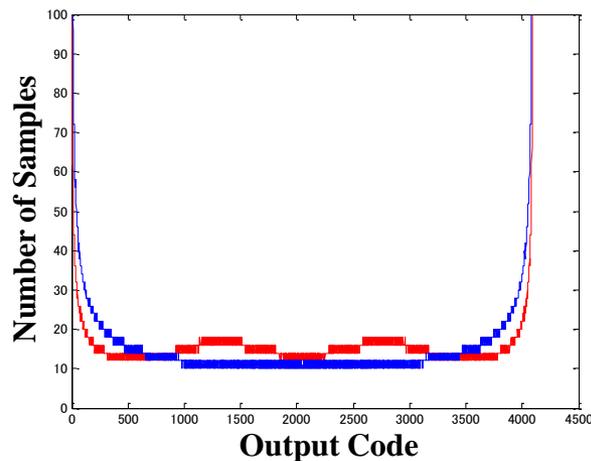
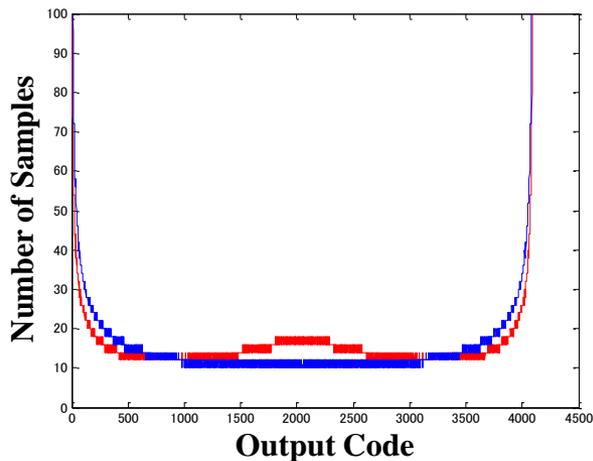
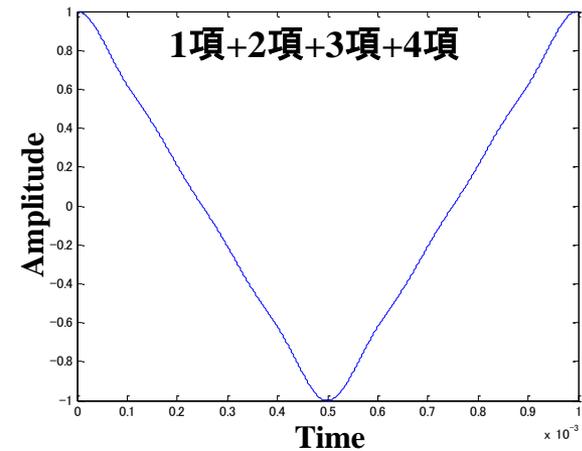
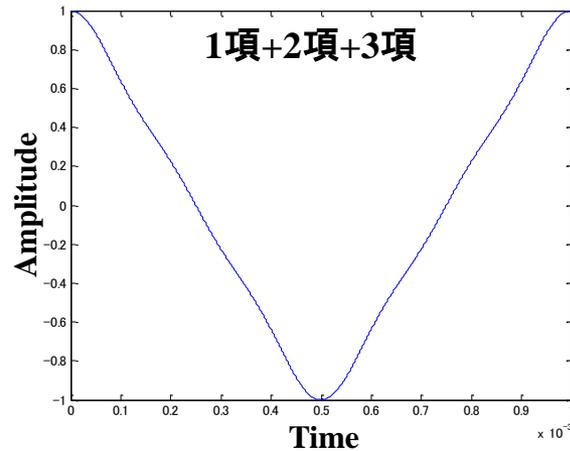
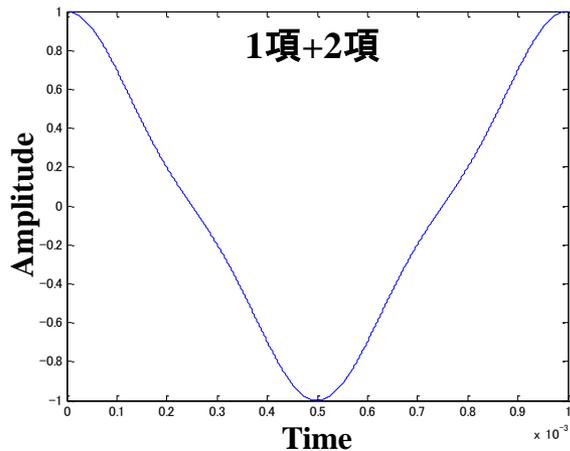


テスト時間の
短縮、精度向上

三角波のヒストグラム

第1項に第2項から順に足し合わせた場合(振幅1)

$$V_{in} = \frac{4}{\pi} \sum_{n=1}^{\infty} \frac{\cos((2n-1)\omega t)}{(2n-1)^2}$$



三角波のヒストグラム

足し合わせる項を増やす

→ 入力はより三角波へと近づく
∴傾きが一定になっていく



ピーク値が下がり頻度の増加する箇所(山)が増える

■ 頻度の増加する箇所

・N-1個の山ができる

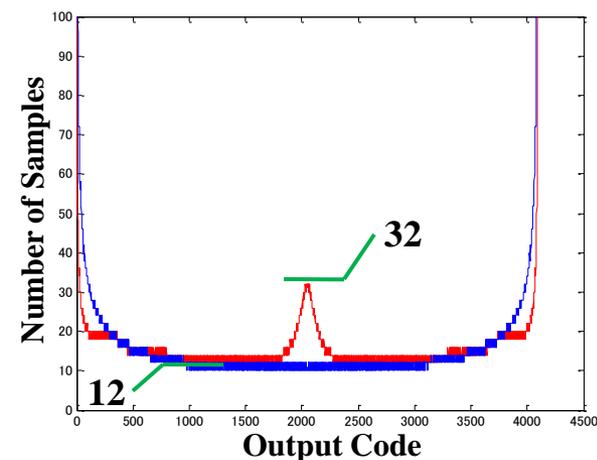
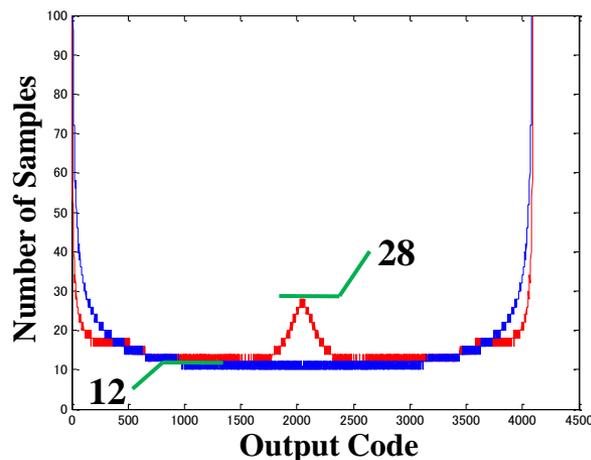
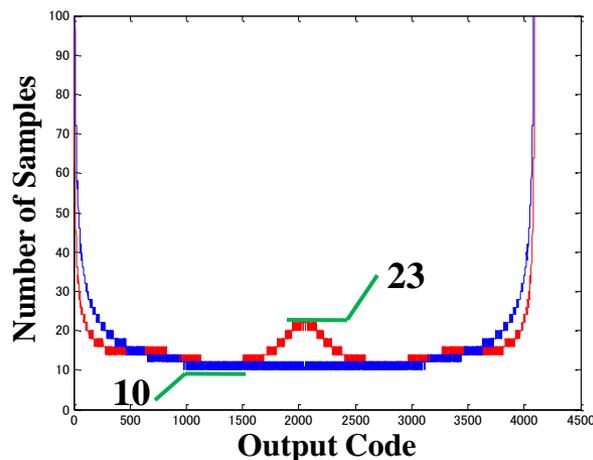
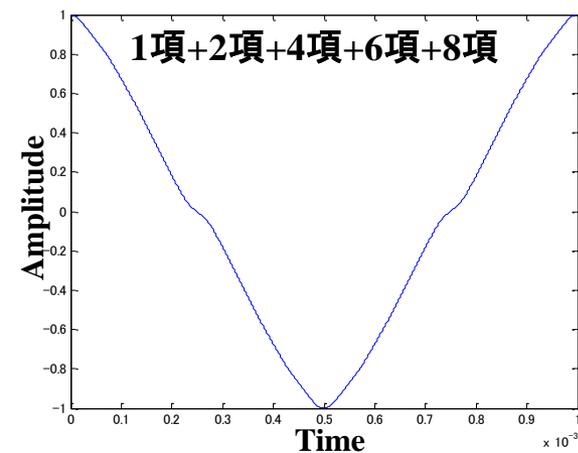
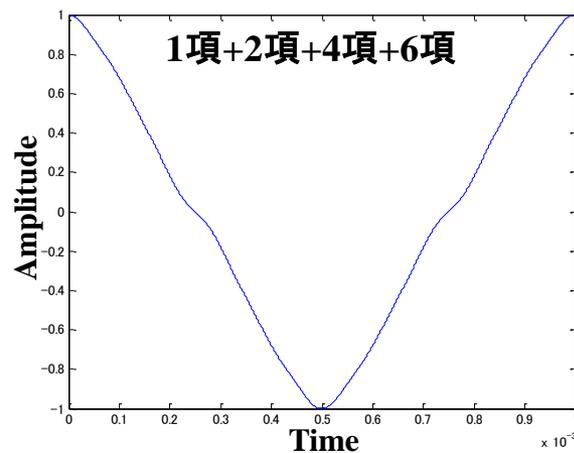
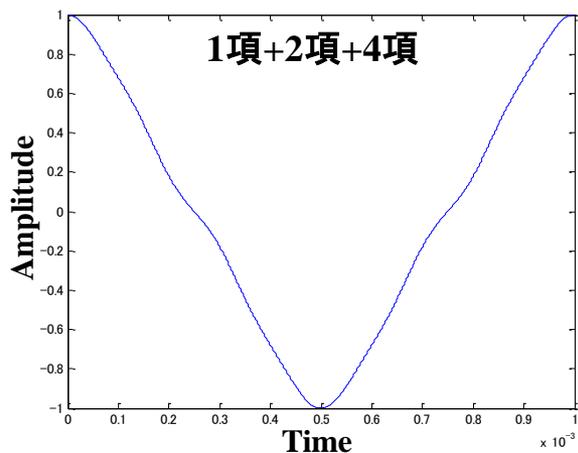
N: 順番に足し合わせた項の数

・約 $(2^{bit} - 1)/N$ コードごとに山が現れる

→ nが偶数項と奇数項で影響が異なる

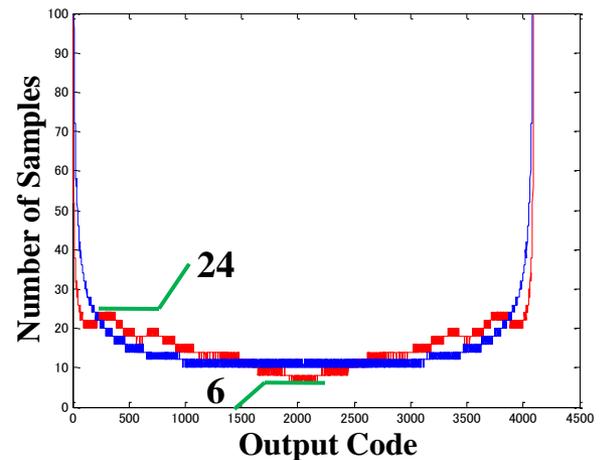
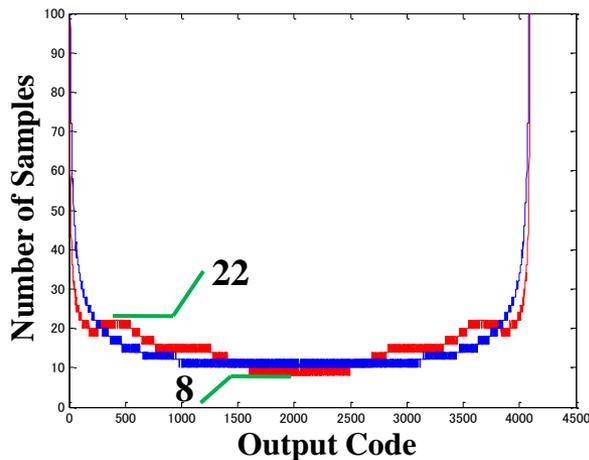
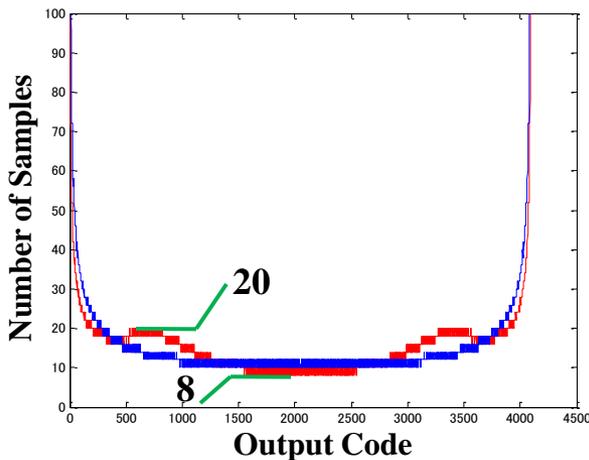
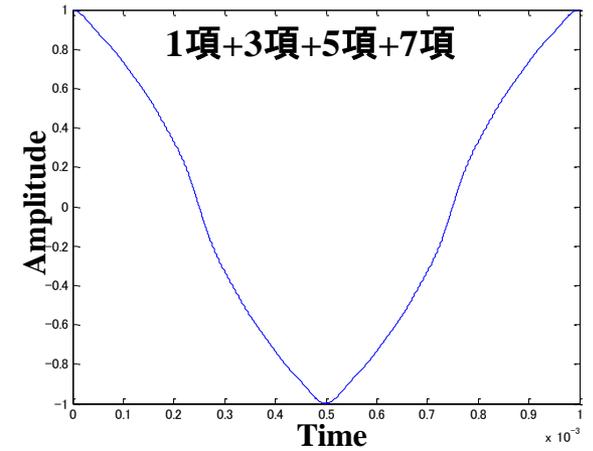
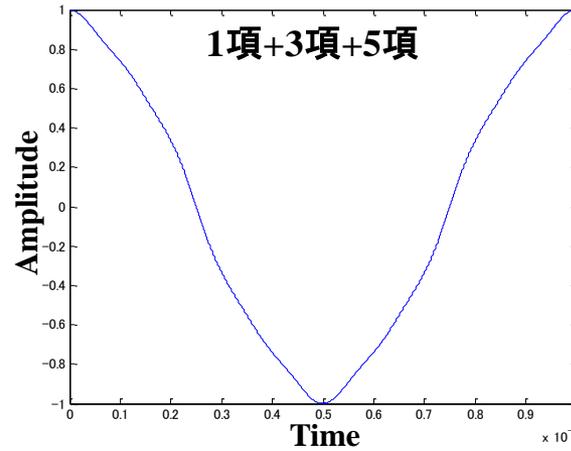
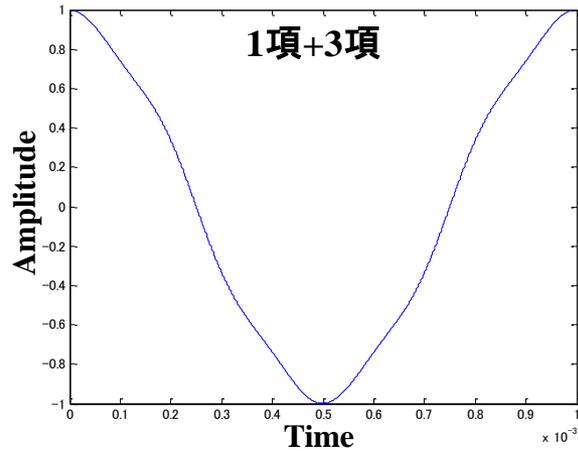
nが偶数項のみの入力

$$V_{in} = \frac{4}{\pi} \sum_{n=1}^{\infty} \frac{\cos((2n-1)\omega t)}{(2n-1)^2}$$



nが奇数項のみの入力

$$V_{in} = \frac{4}{\pi} \sum_{n=1}^{\infty} \frac{\cos((2n-1)\omega t)}{(2n-1)^2}$$



nが偶数, 奇数項の影響

■ 偶数項のみを入力した場合

入力波形において、主に中央付近の傾きが緩やかになる



中央の頻度が増加

■ 奇数項のみを入力した場合

主に中央付近の傾きは急になり、両端付近の傾きが緩やかになる



中央の頻度は減少、両端付近は増加

中心付近の頻度増加

偶数, 奇数項をうまく用いて中心付近の頻度を増加させるテスト信号を生成

$$V_n = \frac{\cos((2n-1)wt)}{(2n-1)^2} \quad n=1,2,\dots$$

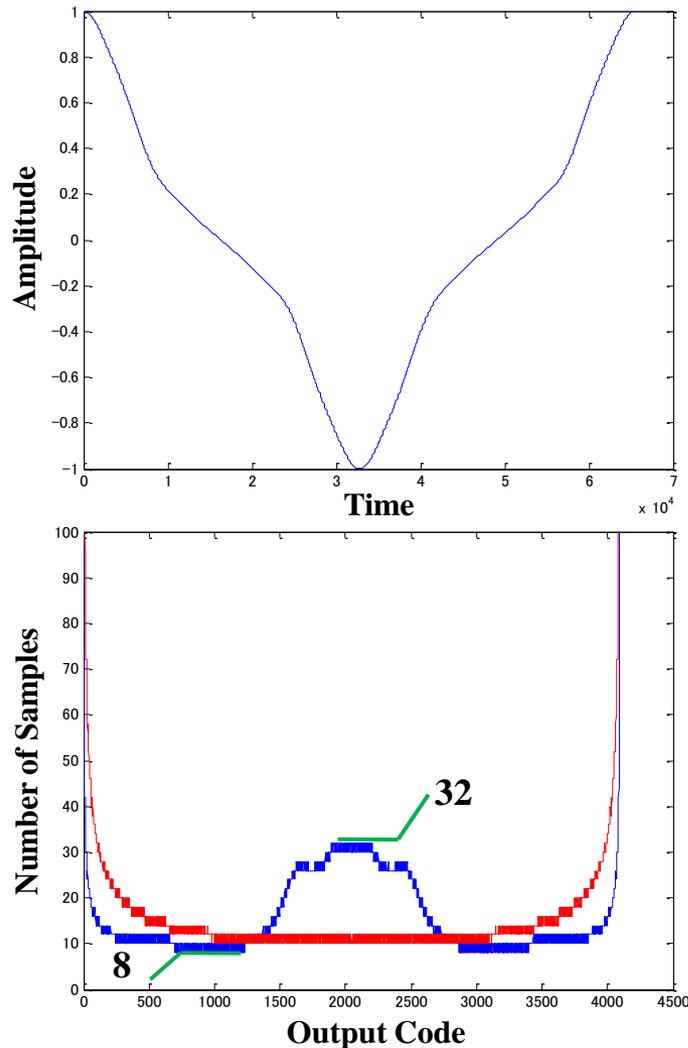
入力

$$V_{in} = \frac{4}{\pi} (V_1 + 2.6 \cdot V_2 + 1.8 \cdot V_3 + 1.4 \cdot V_6 + 1.2 \cdot V_7)$$

(入力は適当に調整したもの)



出力コードの中心付近の
頻度が増加



複数コードの頻度増加

- ・ADCによっては任意コードを観たい場合あり

係数の組み合わせ: 多



任意の複数コードの頻度増加は困難



係数の決定

第2項以降の係数: $a_1 \sim a_7$

$$V_{in} = \frac{4}{\pi} (V_1 + a_1 \cdot V_2 + a_2 \cdot V_3 + a_3 \cdot V_4 + a_4 \cdot V_5 + a_5 \cdot V_6 + a_6 \cdot V_7 + a_7 \cdot V_8)$$

遺伝的アルゴリズム(GA)とは

ダーウィンの進化論をモチーフにしてモデル化

環境に適応した個体が残る

モデル化

生物

遺伝子(個体集団)

生存能力

適応度

自然淘汰

選択(適応度に応じて個体を増殖・削除)

交配

交叉(個体の遺伝子の一部を入れ換え)

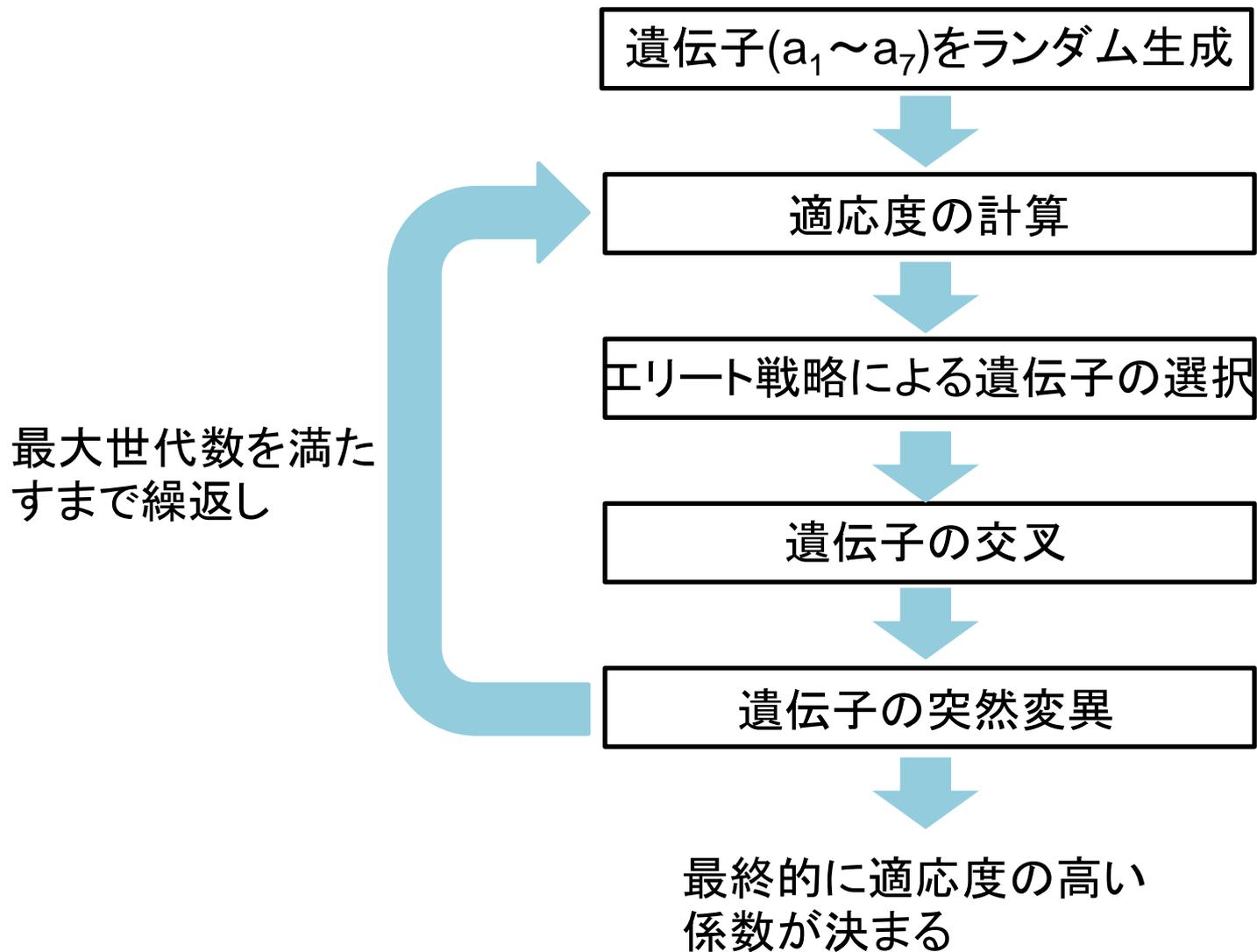
突然変異

突然変異(個体の遺伝子の一部を変化させる)

環境

解空間構造

遺伝的アルゴリズム(GA)



各ブロックについて

適応度の計算

選択したコードで得たいサンプル数と、GAでの係数から算出したサンプル数との誤差

エリート戦略による遺伝子の選択

適応度の高い係数をそのまま次世代へコピー

遺伝子の交叉

$a_1, a_2, a_3, a_4, a_5, a_6, a_7$

$a_1, a_2, a_3, a_4, a_5, a_6, a_7$

次世代



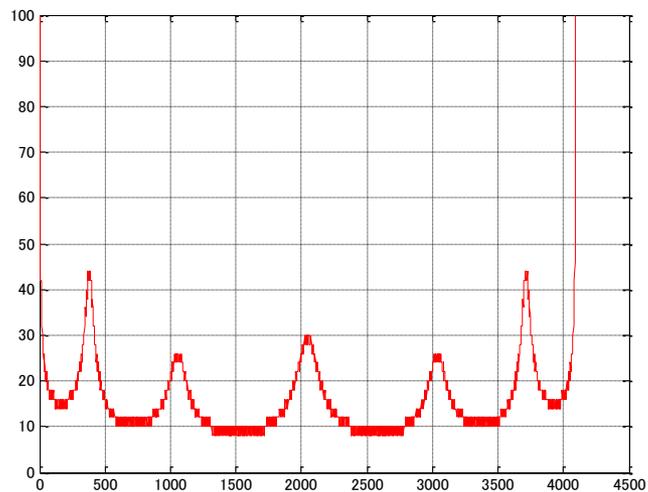
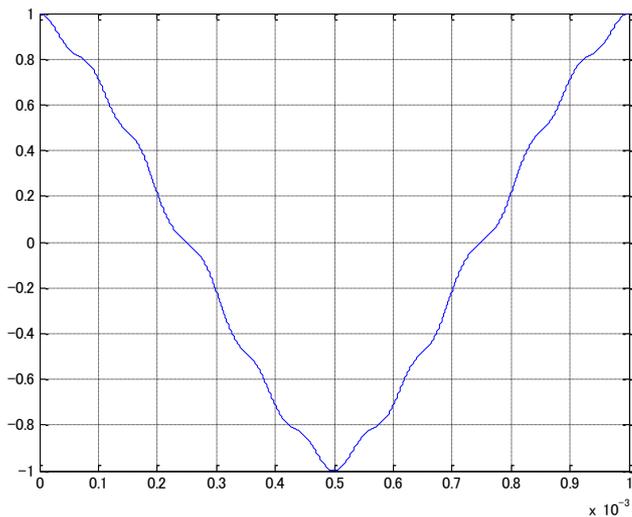
$a_1, a_2, a_3, a_4, a_5, a_6, a_7$

$a_1, a_2, a_3, a_4, a_5, a_6, a_7$

遺伝子の突然変異

ある確率でランダムに与えられた幅で変更する

GA適用結果



条件

コード : 512で30点

コード : 1024で30点

コード : 2049で30点

$a1=0.586$

$a2=0.123$

$a3=1.129$

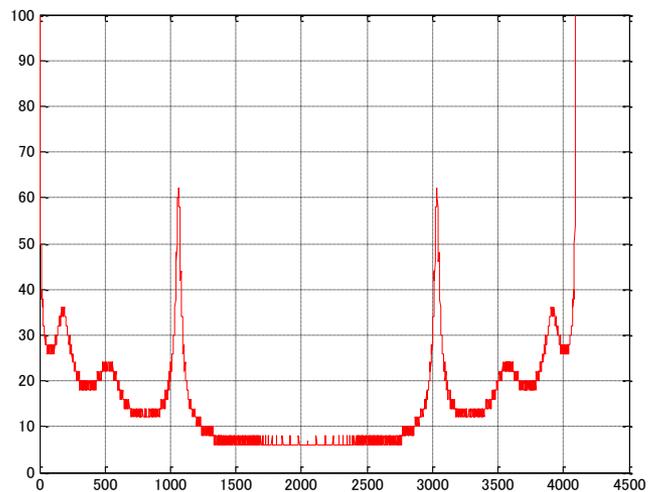
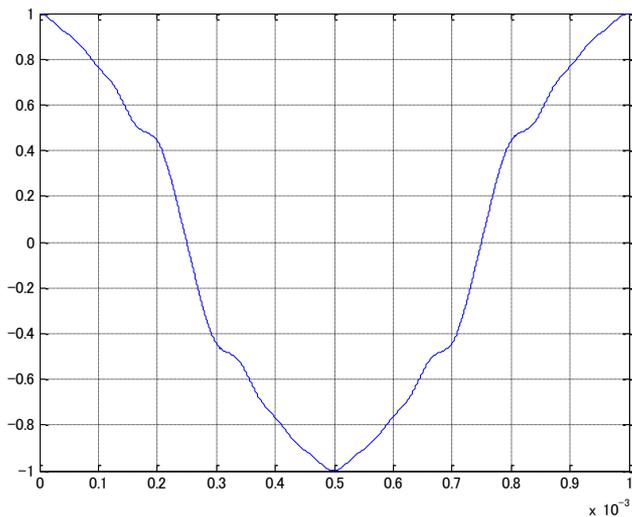
$a4=-0.680$

$a5=4.019$

$a6=1.221$

$a7=-1.016$

GA適用結果



条件

コード : 256で30点

コード : 524で30点

コード : 1024で30点

$a1 = -0.367$

$a2 = 1.529$

$a3 = -1.558$

$a4 = 2.219$

$a5 = -0.443$

$a6 = -0.653$

$a7 = 2.478$

結果と現在の問題点

遺伝的アルゴリズムを用いた場合

- ・世代数が80程でも収束する

問題点として

- ・遺伝子の交叉が出来ていない



プログラムの修正

- ・ピーク状になることがある

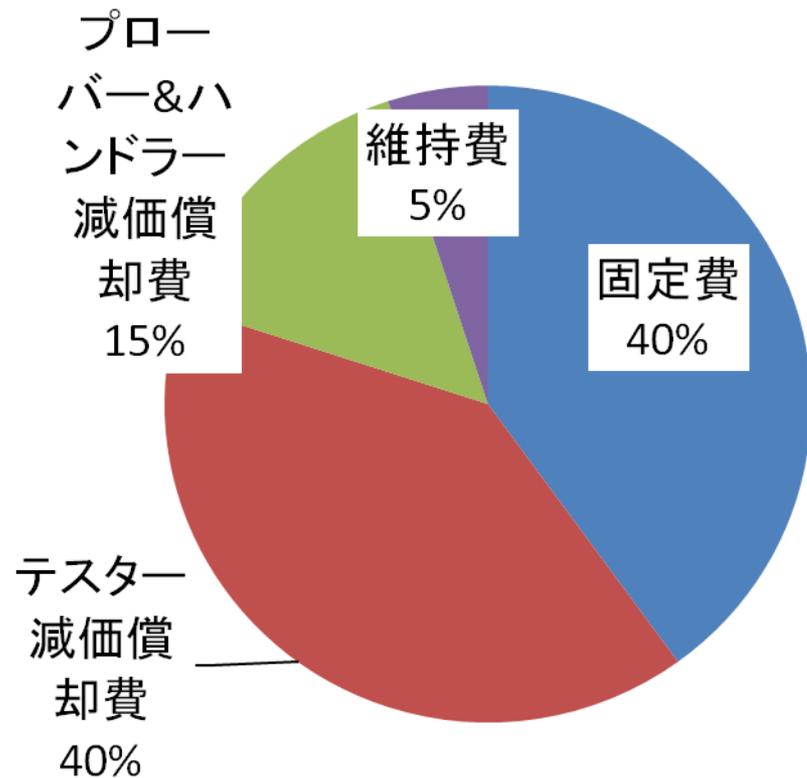


適応度の計算方法を変えてみる

テストコスト低減にテスト時間は重要

テストコスト =

時間当たりテストコスト



X

テスト時間

群馬大学非常勤講師
(元)アジレント・テクノロジー
山田庸一郎先生 資料

テスト時間の見積もり

ADCテスト時間の見積もり前提

- 1) 計測モジュールのセットアップ時間 : 1ms 以下
- 2) 計測モジュール、DUTのセットリング : msオーダー(条件による)
- 3) DCリニアリティの取り込み時間 :
ヒストグラム法 : $2^{(\text{ADCのビット数})} \times 16 \sim 64 \times (\text{ADCの変換時間})$
- 4) SINADなどの取り込み時間 : $2^{(\text{ADCのビット数})} \times 1 \sim 4 \times (\text{ADCの変換時間})$
- 5) データ転送 + 演算時間 : 数ms ~ 数十ms
- 6) その他の試験時間 : 数ms

- 通常はRamp波による3)が最も長く、1秒程度になる場合もある
- 電源電圧などの条件を変えた試験を行う場合には上記の時間の条件数倍かかる

テスト時間の見積もり

ADCテスト時間の見積もり

■ 想定するADC: 12bit SAR ADC 100kS/s

- ・計測モジュールのセットアップ時間, DUTのセトリング : 10 msec
- ・DCリニアリティの取り込み時間 :
 - ヒストグラム法 : $2^{12} \times 40 \times 10\text{usec} = 1600 \text{ msec}$
- ・SINADなどの取り込み時間 : $2^{12} \times 4 \times 10\text{usec} = 160 \text{ msec}$
- ・データ転送 + 演算時間 : 10 msec
- ・電源電圧 3通り
- ・温度 3通り (通常、民生用デバイスでは常温試験のみ)

(DCセトリング時間=ADCの変換時間=10 μ sec として計算)

	合計時間
ヒストグラム	1780 msec

テスト時間の見積もり

- 高分解能ADCほどテスト時間が長くなる
 - 分解能が高い
 - サンプルング周波数が低い
- 「1 \$ チップ 1秒」が妥当なテスト時間

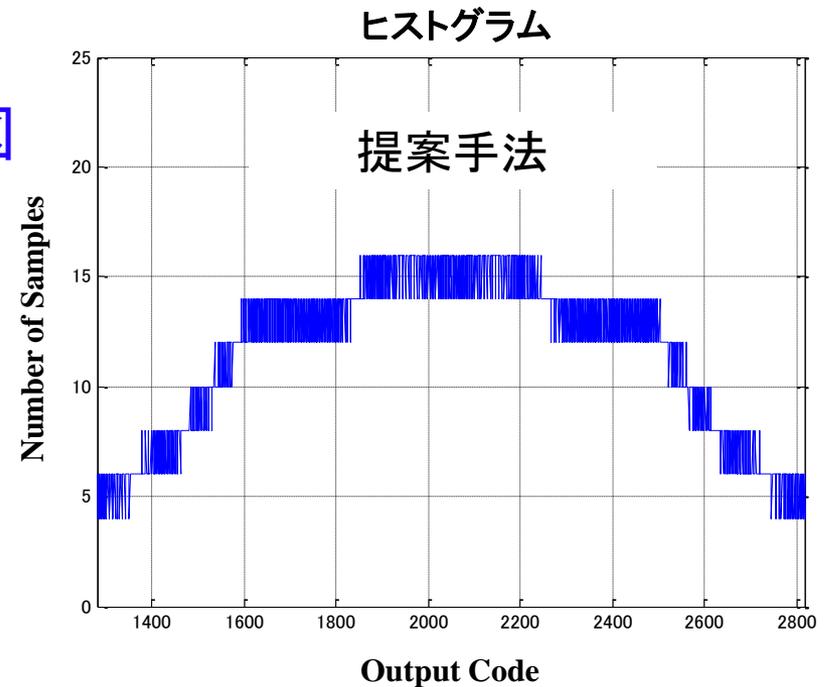
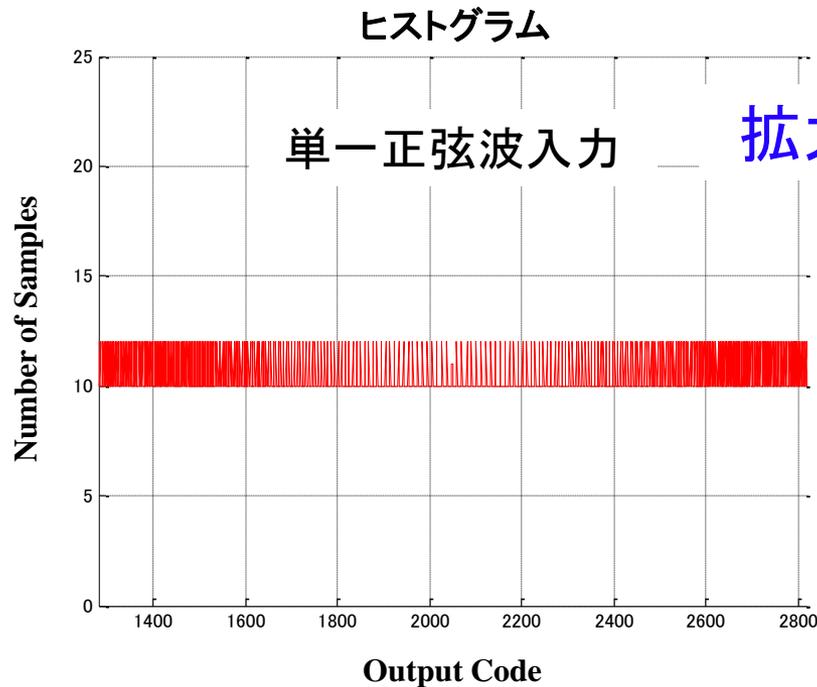


12ビット 100kS/s SAR ADC のテスト時間は長すぎる

ADC 線形性テスト

- DC 線形性テストは最も重要な項目
 - 高分解能 ADC → 長いテスト時間が必要
- DC 線形性テスト時間 =
コードの数(分解能) / サンプリング周波数
大 遅

シミュレーションによる効果の検証



総点数：65536点

総点数：32768点

サンプルする点数を半分にする

→ binに入る最低点数を満たせる

→ テスト時間を約半分にできる

OUTLINE

- 研究背景
- 線形性テスト
- 提案テスト信号生成方法
- **実現方法**
- まとめ

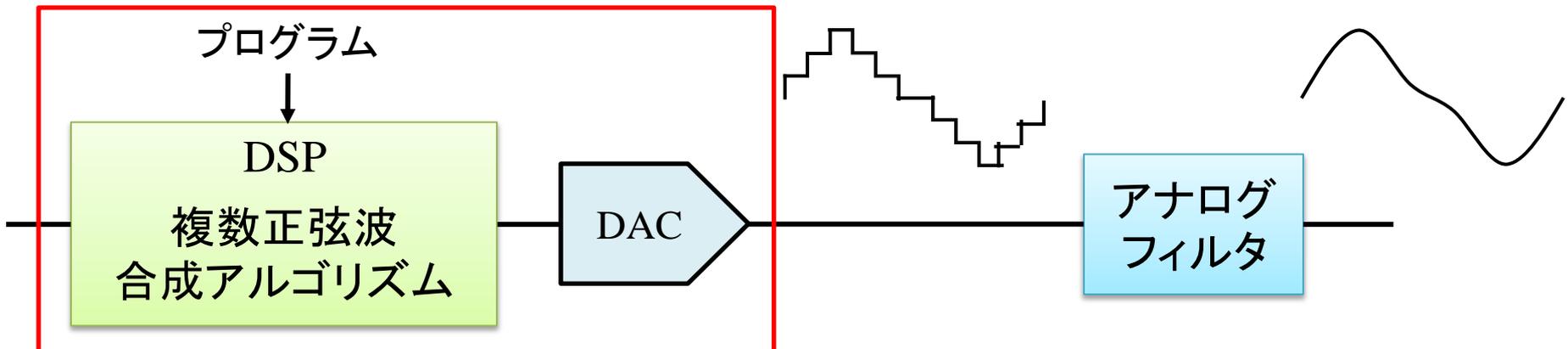
実現方法

- 任意波形発生器(AWG)でデジタル的に合成信号を発生しDA変換



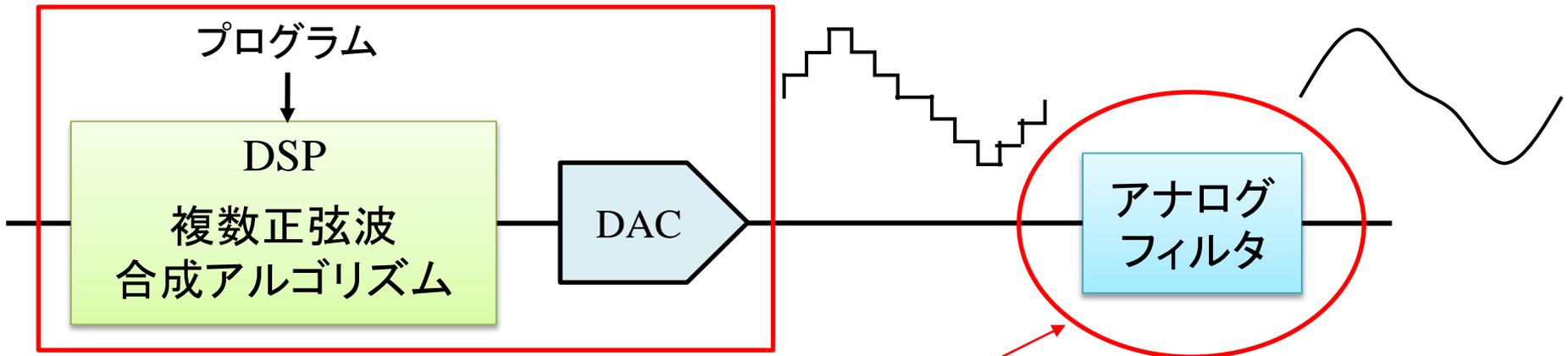
アナログLPFを通してADCへの入力信号

AWG



フィルタのセットリング時間

AWG



フィルタのセットリング時間の問題



フィルタの時定数 τ の10倍程度必要
(1kHzのフィルタなら10msec程)



ADCTータルテスト時間の問題にならない程度

OUTLINE

- 研究背景
- 線形性テスト
- 提案テスト信号生成方法
- 実現方法
- まとめ

まとめ

- SoC内ADCの線形性テストのための
ADC入力信号生成方法を提案
 - 入力レンジ中心付近の頻度を増加
 - 任意コードでの頻度を増加



短時間のテストで線形性テストの精度を
高めることが出来る

今後：実機試験による効果の確認

謝辞

有意義なご討論をいただきました
宮下博之、矢野雄二、力野邦人、岸上真也、
我毛辰弘、小林修、松浦達治、新津葵一、
森俊彦、荒井智、古川靖夫、浅見幸司、
山田庸一郎、小室貴紀、酒寄寛 各位
およびこの研究をご支援いただいています
STARCに感謝の意を表します。